****

**UNIVERSIDAD TECNOLÓGICA NACIONAL**

**Facultad Regional Buenos Aires**

***ARQUITECTURA de COMPUTADORES [08-2022]***

**–2023–**

**Docente: Prof. Roberto Tenuta**

**Trabajo Práctico Nº 4 grupal**

***«trabajo práctico nº4 grupal»***

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Localización [MEDRANO]** | | | | | | | **Curso: K1029** | | | | | | |
| **Integrantes del equipo: Herzkovich Agustín, Punta Máximo, Palazzesi Tomás, Adorno Elías, Peceros Diego, Stamati Gad** | | | | | | | | | | | | | |
| **Legajo: 213.787-2** | **Herzkovich Agustín** | | | | | | | | | | | | |
| **Legajo: 214.033-0** | **Punta Máximo** | | | | | | | | | | | | |
| **Legajo: 214.166-8** | **Stamati Gad** | | | | | | | | | | | | |
| **Legajo: 213.961-3** | **Palazzesi Tomás** | | | | | | | | | | | | |
| **Legajo: 213.445-7** | **Adorno Elías** | | | | | | | | | | | | |
| **Legajo: 213.979-0** | **Peceros Diego** | | | | | | | | | | | | |
|  |  | | | | | | | | | | | | |
|  |  | | | | | | | | | | | | |
|  |  | | | | | | | | | | | | |
| **Entrega / Revisión** | **1** | | | | **2** | | | | | **3** | | | |
| **Fecha de entrega** |  | | | |  | | | | |  | | | |
| **Fecha de calificación** |  | | | |  | | | | |  | | | |
| **Calificación** | **A** | **B** | **C** | **D** | **A** | **B** | | **C** | **D** | **A** | **B** | **C** | **D** |
| **Firma del Docente** |  | | | |  | | | | |  | | | |
| **Observaciones:** | | | | | | | | | | | | | |

TRABAJO PRÁCTICO Nro. 4

**1)** Construya la tabla de verdad del siguiente circuito. Escriba además la ecuación de salida en forma de función normal disyuntiva (minitérminos).

**Diagrama

Descripción generada automáticamente**

**2)** Dada la tabla de verdad de las funciones F1 y F2

a) Represente la Forma Normal Disyuntiva y la Forma Normal Conjuntiva para cada una de ellas

b) Represente los Diagramas de Lógica para FND.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | F1 | F2 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**3)** Realizar la tabla de verdad de un circuito comparador de 2 números de un bit cada uno A y B y 3 salidas M, m, i tal que M sea igual a 1 sólo cuando A>B; m sea igual a 1 sólo cuando A<B; e i sea igual a 1 sólo cuando A=B. Dibujar el circuito a partir de las expresiones de las salidas como suma de minitérminos.

**4)** Realizar la tabla de verdad correspondiente a un selector de prioridades que tiene 4 entradas, (E0,E1,E2,E3), y 4 salidas, (S0,S1,S2,S3), tal que si una sola entrada está en 1, la salida que está en 1 es la que tiene el mismo subíndice que la de entrada; y, si más de una entrada están en 1, la salida que está en uno es la que corresponde al mayor subíndice de las de entrada. Siempre hay solo una salida en uno, excepto para la combinación de entrada 0000 donde las salidas estarán en 0000. Expresar una salida en la forma normal disyuntiva (minitérminos) y otra en la forma normal conjuntiva (maxitérminos)

**5)** Se tienen 5 indicadores luminosos dispuestos en la siguiente forma:

I V I I I

S0 S1 S2 S3 S4

Esta indicación luminosa expresará un número ROMANO equivalente al número binario de entrada, pasado a decimal.

El circuito a realizar constará de 5 salidas, cada una conectada a un indicador luminoso.

El mismo posee 3 entradas lógicas A, B y C donde cada combinación de las mismas activa las salidas S0 a S4 de modo que al encender el indicador luminoso con un 1 (con 0 no se encenderá el indicador), se lea la indicación luminosa en romano, correspondiente al número binario expresado en las entradas.

**a)** Realizar tabla de verdad.

**b)** Implementarlo a través de un decodificador y compuertas OR.

**c)** Para S1 y S4 expresar la función para ambas salidas como suma de minitérminos.

**6)** Dibujar una ROM con 4 bits de entrada y programe la misma en la cual cada una de las combinaciones de entrada (ingresan a la Memoria ROM), genere (Salida de la memoria ROM) el código ASCII correspondiente a la misma. (Números de 0 al 9 y letras A (1010) a la F (1111).

**7)** Realizar la tabla de verdad para un circuito generador de paridad donde los mensajes son de tres bits y se le agrega el cuarto bit de paridad. Hacerlo con una salida para paridad par y otra para paridad impar. El bit de paridad es aquel que se agrega a un mensaje para llevar la cantidad de unos (entre mensaje y bit de paridad) a una cantidad par o impar de unos. De ahí la paridad par o paridad impar.

8) Dibuje el Plan de Programación para la ROM mostrada en la figura, de manera que desde la dirección 0, en forma ascendente se almacene, en ASCII la leyenda: UTN.BA-DISI\*2016.

Para los ejercicios 6 y 8 puede utilizar el esquema de la ROM enviado más abajo.

**L0**

**L1**

**L2**

**L3**

**L4**

**L5**

**L6**

**L7**

**L8**

**L9**

**L10**

**L11**

**L12**

**L13**

**L14**

**L15**

**A0**

**A1**

**A2**

**A3**

El símbolo corresponde a un enlace intacto en la red OR. Para eliminar ese contacto realizarlo con la marca que Equivale a abierto

9) Como valor agregado y práctica adicional, consulte un manual de electrónica básica y defina para un integrado: terminal, VCC y GND luego importe las imágenes de integrados relacionados a compuertas NOT, AND, OR y NAND. Verifique la ubicación de los terminales de entrada y salida, y los de VCC y GND de cada uno de ellos.

**Resoluciones**

1)

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **A̅** | **B̅** | **A̅ + B̅** | **AB** | **A̅ + B̅ ⊕ AB** | **Z= (A̅ + B̅ ⊕ AB) ⊕ C** | |
| 0 | | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |

Para representar la salida como función normal disyuntiva, se debe observar en la tabla, la columna de salida, y darse cuenta en qué salidas hay un 1 lógico. Una vez que se identifican dichas salidas se expresan las 3 entradas iniciales (A, B y C) como productos, negando las entradas necesarias para formar un 1 en dicha fila. Cada uno de esos productos se conoce como “minitérmino”, y para representar la salida en forma de función normal disyuntiva, se deben sumar lógicamente los productos obtenidos.

El resultado sería:

**Z = A̅B̅C̅ + A̅BC̅ + AB̅C̅ + ABC̅**

2)

F1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **F1** | **MinT** | **MaxT** |
| 0 | 0 | 0 | 0 |  | A+B+C |
| 0 | 0 | 1 | 1 | A̅B̅C |  |
| 0 | 1 | 0 | 1 | A̅BC̅ |  |
| 0 | 1 | 1 | 0 |  | A+B̅+C̅ |
| 1 | 0 | 0 | 1 | AB̅C̅ |  |
| 1 | 0 | 1 | 0 |  | A̅+B+C̅ |
| 1 | 1 | 0 | 0 |  | A̅+B̅+C |
| 1 | 1 | 1 | 1 | ABC |  |

FND:

**F1 = A̅B̅C + A̅BC̅ + AB̅C̅ + ABC**

FNC:

**F1= (A+B+C) ● (A+B̅+C̅) ● (A̅+B+C̅) ● (A̅+B̅+C)**

Diagrama de Lógica para FND:

Diagrama, Esquemático

Descripción generada automáticamente

F2

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **F2** | **MinT** | **MaxT** |
| 0 | 0 | 0 | 0 |  | A+B+C |
| 0 | 0 | 1 | 0 |  | A+B+C̅ |
| 0 | 1 | 0 | 0 |  | A+B̅+C |
| 0 | 1 | 1 | 1 | A̅BC |  |
| 1 | 0 | 0 | 0 |  | A̅+B+C |
| 1 | 0 | 1 | 1 | AB̅C |  |
| 1 | 1 | 0 | 1 | ABC̅ |  |
| 1 | 1 | 1 | 1 | ABC |  |

FND:

**F2 = A̅BC + AB̅C + ABC̅ + ABC**

FNC:

**F2 = (A+B+C) ● (A+B+C̅) ● (A+B̅+C) ● (A̅+B+C)**

Diagrama de Lógica para FND:

Diagrama, Esquemático

Descripción generada automáticamente

3)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **M** | **m** | **i** |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 |

FND de M:

**M = AB̅**

Forma

Descripción generada automáticamente

FND de m:

**m = A̅B**

Forma, Rectángulo

Descripción generada automáticamente

FND de i:

**i = A̅B̅ + AB**

Diagrama

Descripción generada automáticamente con confianza media

4)

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| E0 | E1 | E2 | E3 | **S0** | **S1** | **S2** | **S3** | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |

FND de S0:

**S0 = E0E̅1E̅2E̅3**

FNC de S3:

**S3 = (E0 + E1 + E2 + E3) ● (E0 + E1 + E̅2 + E3) ● (E0 + E̅1 + E2 + E3) ● (E0 + E̅1 + E̅2 + E3) ● (E̅0 + E1 + E2 + E3) ● (E̅0 + E1 + E̅2 + E3) ● (E̅0 + E̅1 + E2 + E3) ● (E̅0 + E̅1 + E̅2 + E3)**

5)

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **S4 (I)** | **S3 (V)** | **S2 (I)** | **S1 (I)** | **S0 (I)** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |

Diagrama

Descripción generada automáticamente

FND de S1:

**S1 = A̅BC̅ + A̅BC + ABC**

FND de S4:

**S4 = AB̅C̅**

6)

**L0**

**L1**

**L2**

**L3**

**L4**

**L5**

**L6**

**L7**

**L8**

**L9**

**L10**

**L11**

**L12**

**L13**

**L14**

**L15**

**A0**

**A1**

**A2**

**A3**

7)

Paridad Par

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **BP** | |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

Paridad Impar

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **BP** | |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

8)

**L0**

**L1**

**L2**

**L3**

**L4**

**L5**

**L6**

**L7**

**L8**

**L9**

**L10**

**L11**

**L12**

**L13**

**L14**

**L15**

**A0**

**A1**

**A2**

**A3**

9)

VCC: Esta abreviatura proviene del inglés y significa Voltaje de corriente directa, por esta terminal se alimenta todo el integrado aplicando una tensión, la cual se encuentra siempre detallada en la hoja de datos, a su vez esta tensión puede ser negativa o positiva dependiendo del tipo de alimentación necesaria para el integrado o compuerta a utilizar.

GND: Esta abreviatura proviene del inglés y significa Tierra (ground), es un punto de referencia de tensión para todo el circuito en el cual la diferencia de potencial es, o tiende a 0.

**Integrados**

NOT

Diagrama

Descripción generada automáticamente

AND

Diagrama

Descripción generada automáticamente

OR

Diagrama

Descripción generada automáticamente

NAND

Diagrama

Descripción generada automáticamente